

<b>INCENTIVOS A PROYECTOS DE INVESTIGACIÓN DE EXCELENCIA Convocatoria 2011</b>
--

**MEMORIA DE SEGUIMIENTO (TERCERA ANUALIDAD) DEL PROYECTO DE INVESTIGACIÓN**

Investigador/a principal: <b>M<sup>a</sup> Angeles González Navarro</b>
Código del proyecto: <b>P11-TIC-08144</b>
Denominación del proyecto: <b>Técnicas de aceleración en librerías y lenguajes paralelos para arquitecturas many-core y heterogéneas</b>
Organismo/Universidad: <b>Universidad de Málaga</b>
Centro: <b>Escuela Técnica Superior de Ingeniería Informática</b>
Departamento: <b>Arquitectura de Computadores</b>
Fecha de inicio del proyecto: <b>27 de marzo de 2013</b>
Fecha de finalización del proyecto: <b>26 de marzo de 2017</b>

*\*El personal investigador en formación adscrito al proyecto y contratado con cargo al incentivo concedido mediante Resolución SGUIT deberá incluir el informe anual de seguimiento o final, conforme a lo indicado en apartado F*

SR. SECRETARIO GENERAL DE UNIVERSIDADES, INVESTIGACIÓN Y  
TECNOLOGÍA  
c/ Johannes Kepler, 1 Isla de la Cartuja  
41092 – SEVILLA



## A. ACTIVIDADES REALIZADAS Y GRADO DE CONSECUCIÓN DE LOS OBJETIVOS PROPUESTOS

### A.1. Describa las actividades realizadas durante el desarrollo del proyecto.

En esta memoria se documenta el trabajo realizado a lo largo del año 2015, que corresponde al tercer año de ejecución del proyecto.

Durante este periodo se sigue trabajando en tareas relacionadas con el objetivo 1 (mejora de la productividad del programador de aplicaciones emergentes mediante el uso de librerías de paralelización como TBB - *Threading Building Blocks*). Se continúa trabajando en la tarea T3 (Incorporación a TBB de mecanismos de soporte de la ejecución en arquitecturas multicore/many-core heterogéneas). En el contexto de esta tarea, se abordan tres líneas de trabajo novedosas:

- Por un lado, decidimos explorar distintas estrategias que consideren información de consumo energético para decidir, en *runtime* y en el contexto de aplicaciones de *streaming* que consisten en una secuencia de etapas, el mapeo de cada una de dichas etapas sobre los dispositivos energéticamente más eficientes de los que se dispone en distintos tipos de arquitecturas heterogéneas. En particular, nos centramos en arquitecturas heterogéneas de bajo consumo que se basan en un multicore y una GPU integrada. Para empezar, hemos desarrollado un modelo analítico que a partir de ejecuciones homogéneas en las que obtenemos el *throughput* y el consumo de energía por etapa en cada uno de los dispositivos (multicore CPU o GPU) de nuestra arquitectura, se infiere cuál es el mapeo óptimo de etapas entre estos dispositivos. Podemos optimizar varios criterios (lo configura el programador): o bien se maximiza el *throughput* total, o bien se minimiza el consumo de energía o bien se optimiza alguna métrica que relacione ambas magnitudes (*throughput* y energía). En la sub-tarea T3.3 hemos abordado la incorporación de este modelo a nuestro framework de distribución y mapeo del trabajo en arquitecturas heterogéneas, en particular extendiendo la plantilla de pipeline de TBB que ya habíamos adaptado previamente para permitir la ejecución de aplicaciones de *streaming* en arquitecturas heterogéneas con GPU discretas. A continuación, en la sub-tarea T3.4 hemos evaluado la aplicabilidad de nuestro modelo y de nuestro framework utilizando un conjunto de aplicaciones de *streaming* representativas, además de distintos tipos de arquitecturas heterogéneas que incluyen una GPU integrada. Hemos obtenido resultados para dos tipos de arquitecturas con GPUs integradas: por un lado arquitecturas basadas en procesadores Ivy Bridge y Haswell de Intel (publicación 1), y por otro lado arquitecturas basadas en procesadores big.Little (publicaciones en evento 4, evento 5 y evento 8).
- Así mismo, en la sub-tarea T3.3 hemos avanzado en la automatización del proceso de selección del tamaño de bloque de iteraciones óptimo para la plantilla `parallel_for` de TBB en arquitecturas heterogéneas compuestas de un multicore y una GPU integrada. Tras estudiar el comportamiento de la GPU en función del tamaño de bloque, hemos descubierto que en cada aplicación este óptimo depende de los datos de entrada, y especialmente en el caso de problemas irregulares, de la fase de ejecución del problema en el

que se encuentre la aplicación en cada momento. Así mismo hemos descubierto que se puede utilizar una curva de ajuste logarítmico que en función del *throughput* medido para distintos tamaños de bloque descargados sobre la GPU, se pueda predecir el tamaño de bloque óptimo que obtiene el máximo *throughput* en cada fase del problema. Nuestra aproximación es adaptativa, y va calculando este tamaño de bloque óptimo a media que se avanza en la ejecución de la aplicación. Hemos extendido la plantilla de `parallel_for` que habíamos desarrollado previamente, con esta función de ajuste y este comportamiento adaptativo, lo que permite que en *runtime* se calcule el tamaño de bloque óptimo que se ha de asignar a la GPU, mientras la CPU ajusta sus tamaños dinámicamente para evitar el desbalanceo. Esta característica de cálculo del tamaño de bloque dinámico en la CPU ya la habíamos implementado previamente en nuestro framework. En la sub-tarea T3.4 hemos evaluado el rendimiento de esta nueva extensión de la plantilla `parallel_for` utilizando un conjunto de aplicaciones regulares e irregulares, nuevamente para arquitecturas con GPUs integradas basadas en procesadores Ivy Bridge and Haswell de Intel y big.Little de ARM (publicaciones en evento 1 y evento 2).

- Adicionalmente, tras una estancia de investigación de 1 mes en la Universidad de Bristol, iniciamos una nueva línea de investigación en la que proponemos estudiar la aplicabilidad de nuestras propuestas de distribución del trabajo en *runtime* en arquitecturas heterogéneas que incluyan una FPGA (en lugar de una GPU). Iniciamos nuestro estudio evaluando nuestra extensión de la plantilla de pipeline para aplicaciones de *streaming* en distintas plataformas que incluyen un multicore con una FPGA discreta, un multicore con una GPU discreta y un multicore con una GPU integrada, encontrando que usar la FPGA como acelerador en lugar de la GPU puede ser competitivo, especialmente cuando el criterio a optimizar es el consumo de energía. Planeamos extender este estudio para incluir sistemas con FPGA integradas, así como la evaluación de nuestra extensión para la plantilla `parallel_for`.

Las líneas de investigación que se han explorado durante este año se enmarcan precisamente dentro de uno de los tópicos de investigación más activos en este momento en la comunidad científica y tema prioritario del H2020. En particular, una de las próximas convocatorias en dicho programa denominada 'Call FET Proactive: High Performance Computing 2016/2017' [1] tiene como objetivo el diseñar y construir sistemas de nueva generación de computación de altas prestaciones, aprovechando las ventajas y nuevas oportunidades que aparecen en la transición de peta al 'exascale computing'. De hecho, una de las líneas financiadas, denominada 'FET 3.2 FETHPC-2 2017: Transition to Exascale Computing: (a) High productivity programming environments for exascale' tiene como misión la simplificación del desarrollo y explotación de aplicaciones en sistemas de altas prestaciones, mediante el diseño de entornos de programación inteligentes. En particular, el *runtime* de estos entornos debe jugar un papel clave en el soporte de arquitecturas heterogéneas prestando especial interés a la optimización del consumo de energía. Precisamente, las arquitecturas heterogéneas sobre las que la comunidad científica centra sus esfuerzos en estos momentos son aquellas cuyos nodos de computación se basan en aceleradores integrados dentro del chip, como los multicore con GPU integradas o los multicore con FPGAs integradas, y que son precisamente el tipo de arquitecturas en las que nos enfocamos y para las que nuestro grupo propone nuevas estrategias en *runtime* de distribución eficiente del trabajo. Creemos que el desarrollo del soporte en *runtime* para este tipo de

arquitecturas será cada vez más relevante para cualquier propuesta de modelo de programación o API en los futuros sistemas de computación y que probablemente estos trabajos den lugar a resultados relevantes en los próximos años. Por lo tanto nos comprometemos a solicitar financiación en la siguiente convocatoria de proyectos de excelencia de la Junta de Andalucía para financiar esta nueva línea de investigación que hemos denominado: 'Modelos de programación y tecnología de apoyo para aplicaciones intensivas en datos en arquitecturas heterogéneas' (ver línea 1 en el anexo).

Otra nueva línea de investigación que se ha explorado y con la que colaboramos con otros investigadores del departamento de Arquitectura de Computadores de la UMA que pertenecen al grupo 'Arquitecturas, Programación y Compiladores Paralelos' financiado por el proyecto P12-TIC-1470, ha consistido en abordar el soporte en arquitecturas heterogéneas de otro tipo de aplicaciones irregulares. En particular, aplicaciones para las que aparecen dependencias en tiempo de ejecución, que típicamente han de resolverse por medio de secciones críticas, o mecanismos de sincronización basados en cerrojos u operaciones atómicas. Este tipo de aplicaciones son difíciles de programar, y la comunidad científica apuesta, para mejorar la productividad del programador, por un nuevo modelo de ejecución basado en transacciones. Para que este modelo sea eficiente necesita cierto soporte hardware. En particular, en el caso de arquitecturas heterogéneas hay aún muy pocas propuestas, y nuestro grupo ha empezado a explorar la implementación de algunas características del modelo de memoria transaccional en sistemas heterogéneos basados en GPU (ver publicaciones en eventos 3 y 7). Otro resultado de esta colaboración, es que uno de los investigadores de este proyecto, Rafael Asenjo Plaza, está co-dirigiendo una nueva tesis doctoral, siendo el doctorando Alejandro Villegas Fernández, y el título del proyecto de tesis 'Transactional Memory in Heterogeneous Architectures' (ver línea 2 en el anexo).

[1] HORIZON 2020. WORK PROGRAMME 2016 - 2017 Excellent Science Future and Emerging Technologies draft 2.0. 12/02/2015.

A.2. Si ha encontrado problemas en el desarrollo del proyecto, coméntelos, especificando su naturaleza (de carácter científico, de gestión, etc).

Durante el 2015 no se encuentran problemas con el desarrollo del proyecto.

A.3. Indique los resultados obtenidos a partir del proyecto de excelencia llevado a cabo, según lo establecido a continuación:

RESULTADOS obtenidos a partir del proyecto de excelencia	Nº Total de resultados*
Publicaciones	1
Comunicaciones a congresos	8
Colaboraciones en empresas	1
Creación de empresas (EBT, Spin-off y Start-up)	
Propiedad industrial (patentes, PCT, modelos utilidad,...)	3

Propiedad intelectual	
Tesis	
Páginas web creadas	
Nuevas líneas de investigación surgidas	3
Participación en otros Programas / Planes: (a+b+c)	
a) Plan Nacional	1
b) Programas Marco	
c) Otros Programas	
Colaboraciones internacionales	2
Contrataciones de personal NO con cargo al proyecto	
Otros impactos de interés	3

## B. PERSONAL EN EL PROYECTO DE INVESTIGACIÓN DE EXCELENCIA

B.1. En el caso de que el incentivo concedido incluyera una partida para la incorporación de personal con cargo al proyecto, informe sobre la/s incorporación/es realizada/s, especificando titulación, situación laboral y tareas asignadas en el proyecto así como una breve valoración cualitativa del mismo.

Del 1 de enero al 31 de diciembre de 2015, Antonio Vilches Reina fue contratado como personal de apoyo licenciado con cargo a este proyecto de investigación. Durante el periodo de contrato con cargo a este proyecto, Antonio Vilches se ha encargado de la preparación y extensión del framework desarrollado en la tarea T3.3, así como de la evaluación experimental de dicho *framework* sobre distintas arquitecturas en la tarea T3.4.

Así mismo, desde el 8 de septiembre al 8 de diciembre de 2015, Antonio Vilches realiza una estancia de investigación en Codeplay Software Ltd (UK) [1], una empresa de ámbito tecnológico miembro del Khronos Group y de la HSA Foundation y que participa activamente en varios comités de estandarización, entre ellos OpenCL, SPIR y C++, y varios proyectos europeos (CARP, LPGPU). Para esta estancia, Antonio Vilches cuenta con una beca para colaboraciones industriales financiada por la red de excelencia europea HiPEAC.. Durante la estancia se evalúa la utilización de SYCL como un API de alto nivel para permitir la portabilidad de cualquier función programada en C++ sobre cualquier acelerador que soporte OpenCL. En este caso, se estudió la integración de nuestra propuestas en *runtime* para la plantilla `parallel_for` en este nuevo entorno de programación, obteniendo resultados alentadores. Parte de estos resultados se han publicado en una conferencia en 2016.

[1] <https://www.codeplay.com/>

B.2. Indique si se han producido altas y/o bajas en el equipo investigador desde el inicio del proyecto y, en su caso, si han sido ya comunicadas previamente y autorizadas por esta Secretaría General.

No ha habido altas ni bajas en 2015.

### **C. PROYECTOS CON PARTICIPACIÓN DE VARIOS GRUPOS DE INVESTIGACIÓN** (caso de que proceda)

C.1. Describa brevemente dicha participación y si la coordinación de los distintos grupos se ha producido de la forma prevista (en caso contrario, comente las dificultades producidas).

Se ha producido una colaboración con investigadores del departamento de Arquitectura de Computadores de la UMA que pertenecen al grupo 'Arquitecturas, Programación y Compiladores Paralelos' financiado por el proyecto P12-TIC-1470, que ha dado lugar a una nueva línea de investigación cuyo objetivo es dar soporte en arquitecturas heterogéneas al modelo de memoria transaccional, modelo que permite la programación productiva de aplicaciones irregulares con dependencias en tiempo de ejecución. Como resultado de esta colaboración, uno de los investigadores del grupo, Rafael Asenjo Plaza, está co-dirigiendo una nueva tesis doctoral, siendo el doctorando Alejandro Villegas Fernández y el título del proyecto de tesis 'Transactional Memory in Heterogeneous Architectures.'

## D. RELACIONES O COLABORACIONES CON DIVERSOS SECTORES

D.1. En caso de subcontratación, participación o respaldo activo por parte de alguna empresa o agente socio-económico de interés para el proyecto, indique cómo se ha realizado dicha participación: objetivos del proyecto en los que participa, importe del contrato en su caso, denominación de la empresa, nº de personas de la empresa involucradas en el proyecto, contratos laborales formalizados como consecuencia de la subcontratación de la empresa (en su caso), etc.

La colaboración más relevante es con la empresa Codeplay, LTd que financia parte de la estancia de investigación de Antonio Vilches Reina entre el 8 de septiembre al 8 de diciembre de 2015. Se firma un acuerdo de confidencialidad con dicha empresa, lo que nos da acceso a la tecnología de compilación y a los nuevos *runtimes* que implementa dicha empresa para dar soporte de C++ y SYCL sobre arquitecturas heterogéneas, y con los que estamos experimentando en la actualidad.

D.2. Si el proyecto ha dado lugar a otras colaboraciones o transferencias con otras entidades, descríbalas y valórelas brevemente.

Durante el 2015 se ha continuado la colaboración con los investigadores Prof. David Padua y Dra. María Garzarán del Departamento de *Computer Science* de la *University of Illinois at Urbana-Champaign* [1] en USA. El objetivo de esta colaboración es modelar el consumo de energía en arquitecturas de Intel con GPU integrada (Ivy Bridge y Haswell), en aplicaciones de *streaming*. Como resultado de esta colaboración se ha producido la publicación 1.

Así mismo durante este año, se inicia la colaboración con el Dr. José Luis Núñez-Yáñez que es el líder del grupo '*Adaptive and Energy Efficient Computing*' en la Universidad de Bristol [2] en UK. Durante el mes de mayo se realiza una estancia en la Univ. de Bristol con el grupo que el Dr. Núñez dirige. Durante la estancia se explora una nueva línea de investigación relacionada con la incorporación de FPGAs como nuevo tipo de acelerador en las arquitecturas heterogéneas. Se obtienen resultados prometedores, especialmente desde el punto de vista de la eficiencia energética, que dan lugar (de momento) a una publicación en el evento 6.

Durante este año se continúa la colaboración con integrantes del grupo '*MAchine Perception and Intelligent Robotics*' (MAPIR) [3] del departamento de Ingeniería de Sistemas y Automática de la UMA en la optimización de aplicaciones de *streaming* para la regulación de la información de sensores transmitidas por la red a un tele-robot, dando lugar a la solicitud de 3 patentes, que consideramos un resultado relevante de transferencia al sector TIC (ver patentes solicitadas en el anexo). Así mismo con este grupo se explorará la posibilidad de abrir una nueva línea de investigación denominada '*Optimización de aplicaciones robóticas en sistemas heterogéneos de bajo consumo*' en la que se aprovechará la sinergia tanto del grupo de MAPIR como de nuestro grupo para explorar el potencial de aplicaciones robóticas inteligentes (y con gestión de la incertidumbre) en sistemas empujados de bajo consumo que se basen en arquitecturas heterogéneas (ver línea 3 en el anexo).

[1] <https://cs.illinois.edu/directory/profile/padua>

[2] <http://www.bristol.ac.uk/engineering/people/jose-l-nunez-yanez/index.html>

[3] <http://mapir.isa.uma.es/mapirwebsite/>

D.3. Si el proyecto ha dado lugar a colaboraciones con otros organismos de investigación no previstas inicialmente, coméntelas y valórelas brevemente.

Durante este año no ha habido colaboraciones adicionales.

D.4. Si ha iniciado la participación en proyectos del Plan Nacional, Programa Marco de I+D de la UE y/o en otros programas internacionales en temáticas relacionadas con la de este proyecto, indique programa, tipo de participación y beneficios para el proyecto.

Este año, Rafael Asenjo Plaza y la IP del proyecto, M<sup>a</sup> Angeles González Navarro continúan participando en la red de ámbito nacional 'Red de Computación de Altas Prestaciones sobre Arquitecturas Paralelas Heterogéneas (CAPAP-H5)', financiada por el Ministerio de Ciencia e Innovación. Ambos investigadores forman parte del 'WG2: Planificación y equilibrado de carga', que de hecho coordina Rafael Asenjo. Uno de los objetivos de esta red es el de fomentar la coordinación y participación de distintos grupos del área de Arquitectura y Tecnología de computadores para que colaboren en temáticas afines, y de hecho hay varios trabajos de colaboración en curso con miembros de esta red.

D.5. Si el proyecto ha dado lugar a contrataciones laborales, distintas a las contrataciones con cargo al proyecto, coméntelas y valórelas brevemente.

No procede.

## E. GASTOS REALIZADOS

**Nota:** Debe cumplimentarse este apartado independientemente de la justificación económica enviada por el organismo.

E.1. Indique el total de gasto realizado en el proyecto hasta este momento:

Concepto	Total gasto (€)
Personal postdoctoral	
Personal técnico de apoyo	
Personal predoctoral	25748,52
Gastos contratación IRV	
<b>TOTAL GASTOS PERSONAL (1)</b>	
Material inventariable	4024,13
Material fungible	346,86
Gastos complementarios	10588,52
<b>TOTAL GASTOS EJECUCIÓN (2)</b>	14959,51
<b>TOTAL GASTOS DEL PROYECTO (=1+2)</b>	40708,03

Describir brevemente el material inventariable y fungible adquirido, si procede:

(2) Gatos de ejecución

- Inventariable: 2 ordenadores portátiles
- Fungible: 2 discos duros SSD

Describir brevemente destino, objeto y resultado de la asistencia a congresos, estancias o desplazamientos efectuados con cargo al proyecto.

Gastos Complementario:

- Viajes para asistir a la reunión del comité de programa de IEEE Supercomputing 2015, en Austin, Texas.
- Viajes para la presentación de papers en ICCS'15 (evento 2), Repara'15 (evento 4), Parco'15 (evento 5), ParaFPGA'15 (evento 6) y JP'15 (eventos 7 y 8).

E.2 Comente brevemente si ha habido algún tipo de modificación en este apartado, indicando si ha sido comunicada previamente y autorizada por esta Secretaría General.

No procede

E.3 Observaciones

No procede.

## F. FORMACIÓN DE PERSONAL INVESTIGADOR EN FORMACIÓN

Informe anual correspondiente al último período de disfrute

Informe final (Se considerará final, en caso de renuncia o cualquier otra causa de finalización de la beca)

### F.1. INFORME DEL PERSONAL PREDOCTORAL

NOMBRE:
ORGANISMO O CENTRO DE APLICACIÓN:
DESCRIPCIÓN DEL TRABAJO REALIZADO: (A cumplimentar por el personal predoctoral) No procede
Fecha y firma del personal predoctoral:

## F.2. INFORME DEL DIRECTOR DEL TRABAJO.

NOMBRE DEL DIRECTOR DEL TRABAJO:
DEPARTAMENTO O CENTRO:
INFORME DEL TRABAJO REALIZADO POR EL PERSONAL PREDOCTORAL: (A cumplimentar por director/a del trabajo)
No procede
Fecha y firma:

## **ANEXOS:**

**Plantillas de datos para los Resultados obtenidos a partir del Proyecto de excelencia**

**PUBLICACIONES**

<b>Publicación 1</b>	
Nombre publicación:	IEEE Tran. on Parallel and Distributed Systems
Editorial:	IEEE Computer Society
Título artículo/libro:	Mapping streaming applications on commodity multi-CPU and GPU on-chip processors,
Autor/es:	A. Vilches, A. Navarro, R. Asenjo, F. Corbera, R. Gran, and M. Garzaran
ISBN / ISSN / Depósito legal:	ISSN: 1045-9219, 13 May 2015.

<b>Publicación 2</b>	
Nombre publicación:	
Editorial:	
Título artículo/libro:	
Autor/es:	
ISBN / ISSN / Depósito legal:	

## COMUNICACIONES A CONGRESOS

<b>Evento 1</b>	
Nombre evento:	HIP3ES: High Performance Energy Efficient Embedded Systems, HiPEAC Conference
Nombre ponencia/intervención:	Reducing overheads of dynamic scheduling on heterogeneous chips
Ponente:	Francisco Corbera, Andrés Rodríguez, Rafael Asenjo, Angeles Navarro, Antonio Vilches, and María J. Garzarán
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Amsterdam, 19-21 Jan. 2015.

<b>Evento 2</b>	
Nombre evento:	International Conference on Computational Science, ICCS'15
Nombre ponencia/intervención:	Adaptive Partitioning of Irregular Applications on heterogeneous CPU-GPU chips
Ponente:	Antonio Vilches, Rafael Asenjo, Angeles Navarro, Francisco Corbera, Rubén Gran and María J. Garzarán
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Reykjavík, Iceland, 1-3 Jun. 2015.

<b>Evento 3</b>	
Nombre evento:	10th ACM SIGPLAN Workshop on Transactional Computing (TRANSACT 2015, part of FCRC 2015)
Nombre ponencia/intervención:	Hardware support for Local Memory Transactions on GPU Architectures
Ponente:	Alejandro Villegas, Angeles Navarro, Rafael Asenjo, Oscar Plata, Rafael Ubal and David Kaeli
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Portland, Oregon, USA. June 15-16, 2015

<b>Evento 4</b>	
Nombre evento:	1st IEEE International Workshop on Reengineering for Parallelism in Heterogeneous Parallel Platforms (Repara 2015, part of ISPA-2015)
Nombre ponencia/intervención:	Parallel Pipeline on Heterogeneous Multi-Processing Architectures,
Ponente:	Andrés Rodríguez, Angeles Navarro, Rafael Asenjo, Antonio Vilches, Francisco Corbera, María Garzarán
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Helsinki, Finland, 20-22 August, 2015

<b>Evento 5</b>	
Nombre evento:	International Conference on Parallel Computing (ParCo) 2015
Nombre ponencia/intervención:	Pipeline Template for Streaming Applications on Heterogeneous Chips
Ponente:	Andrés Rodríguez, Angeles Navarro, Rafael Asenjo, Francisco Corbera, Antonio Vilches, María Garzarán
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Edinburgh, UK, 1-4 September, 2015

<b>Evento 6</b>	
Nombre evento:	International Symposium on Parallel Computing with FPGAs, ParaFPGA 2015
Nombre ponencia/intervención:	Workload distribution and balancing in FPGAs and CPUs with OpenCL and TBB
Ponente:	Angeles Navarro, Rafael Asenjo, Andrés Rodríguez, J. Nunez-Yanez
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Edinburgh, UK, 1 September, 2015.

<b>Evento 7</b>	
Nombre evento:	XXVI Edición de las Jornadas de Paralelismo, JP 2015
Nombre ponencia/intervención:	Memoria Transaccional Hardware en Memoria Local de GPU
Ponente:	Alejandro Villegas, Angeles Navarro, Rafael Asenjo y Oscar Plata
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Córdoba, Spain, 23-25 September, 2015.

	<b>Evento 8</b>
Nombre evento:	XXVI Edición de las Jornadas de Paralelismo, JP 2015
Nombre ponencia/intervención:	Patrón pipeline aplicado a arquitecturas heterogéneas big.LITTLE
Ponente:	Antonio Vilches, Andrés Rodríguez, Ángeles Navarro, Francisco Corbera y Rafael Asenjo
Lugar y fecha de celebración (Lugar, dd/mm/aa):	Córdoba, Spain, 23-25 September, 2015.

**PROPIEDAD INDUSTRIAL / INTELECTUAL**

<b>Propiedad industrial / intelectual 1</b>	
Tipo (1):	Patente
Categoría (2):	Patente nacional
Nº solicitud:	P201400876
Fecha solicitud (dd/mm/aa):	31/10/2014
Título:	Métodos implementados en computador y sistemas informáticos de modelado probabilístico de los retardos de transmisión de datos a través de una red
Inventores:	Juan Antonio Fernández Madrigal, Ana Gago Martín, Ana Cruz Martín, Angel Martínez Tenor, Rafael Asenjo Plaza, M <sup>a</sup> Ángeles González Navarro
Titular/es invención:	Universidad de Málaga (100%)
Codificación de la tecnología generada (3): <b>(Códigos SIC: detallar a nivel 2)</b>	Telecomunicaciones, Software / Procedimientos, Internet y Redes
Codificación de la tecnología de destino (4): <b>(Códigos SIC: detallar a nivel 2)</b>	TIC

<b>Propiedad industrial / intelectual 2</b>	
Tipo (1):	Patente
Categoría (2):	Patente nacional
Nº solicitud:	P201400877
Fecha solicitud (dd/mm/aa):	31/10/14
Título:	Métodos implementados en computador y sistemas informáticos de regulación automática de la cantidad de datos transmitidos entre dispositivos conectados a una red
Inventores:	Angel Martínez Tenor, Juan Antonio Fernández Madrigal, Ana Cruz Martín, Ana Gago Benítez, Rafael Asenjo Plaza, M <sup>a</sup> Ángeles González Navarro
Titular/es invención:	Universidad de Málaga (100%)
Codificación de la tecnología generada (3): <b>(Códigos SIC: detallar a nivel 2)</b>	Telecomunicaciones, Software / Procedimientos, Internet y Redes
Codificación de la tecnología de destino (4): <b>(Códigos SIC: detallar a nivel 2)</b>	TIC

<b>Propiedad industrial / intelectual ...</b>	
Tipo (1):	Patente
Categoría (2):	Patente nacional
Nº solicitud:	P201400878
Fecha solicitud (dd/mm/aa):	
Título:	Métodos implementados en computador y sistemas informáticos de activación y desactivación automáticas de transmisiones concurrentes de datos entre dispositivos conectados a una red
Inventores:	Angel Martínez Tenor, Juan Antonio Fernández Madrigal, Ana Cruz Martín, Ana Gago Benítez, Rafael Asenjo Plaza, M <sup>a</sup> Ángeles González Navarro
Titular/es invención:	Universidad de Málaga (100%)
Codificación de la tecnología generada (3): <b>(Códigos SIC: detallar a nivel 2)</b>	Telecomunicaciones, Software / Procedimientos, Internet y Redes
Codificación de la tecnología de destino (4): <b>(Códigos SIC: detallar a nivel 2)</b>	TIC

**nivel 2)**

- (1) Opciones (excluyentes) posibles: Propiedad Intelectual / Patente / Extensión PCT / Modelo de utilidad / Marca / Material biológico, variedad vegetal y microorganismo
- (2) Opciones (excluyentes) posibles en caso haber seleccionado PATENTE: Patente nacional / Patente europea / Patente estadounidense
- (3) Elegir aquellos códigos SIC que describan, de la forma más exacta posible, la tecnología generada en la patente (ver Anexo Códigos SIC y detallar a nivel 2)
- (4) Elegir aquellos códigos SIC que determinen el sector/es a los que se destina la patente (ver Anexo Códigos SIC y detallar a nivel 2)

## NUEVAS LÍNEAS DE INVESTIGACIÓN

Líneas de investigación 1	
Título nueva línea investigación:	Modelos de programación y tecnología de apoyo para aplicaciones intensivas en datos en arquitecturas heterogéneas
Codificación de la tecnología generada (1): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
Codificación de la tecnología de destino (2): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
¿Ha pensado presentarla a alguna convocatoria para su financiación? (en caso afirmativo especificar)	Si. A la espera de convocatoria de Proyectos de Investigación de Excelencia
Convocatoria:	No hay convocatoria.
Organismo de la convocatoria:	Consejería de Economía, Innovación y Ciencia de la Junta de Andalucía.

Líneas de investigación 2	
Título nueva línea investigación:	Transactional Memory in Heterogeneous Architectures
Codificación de la tecnología generada (1): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
Codificación de la tecnología de destino (2): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
¿Ha pensado presentarla a alguna convocatoria para su financiación? (en caso afirmativo especificar)	Colaboración con otro grupo del departamento de Arquitectura de Computadores
Convocatoria:	-
Organismo de la convocatoria:	-

Líneas de investigación 3	
Título nueva línea investigación:	Optimización de aplicaciones robóticas en sistemas heterogéneos de bajo consumo
Codificación de la tecnología generada (1): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
Codificación de la tecnología de destino (2): <b>(Códigos SIC: detallar a nivel 2)</b>	7372
¿Ha pensado presentarla a alguna convocatoria para su financiación? (en caso afirmativo especificar)	Si. Convocatoria de becas y ayudas para la formación de doctores del programa nacional de formación de profesorado universitario, 2015
Convocatoria:	2015
Organismo de la convocatoria:	Ministerio de Educación, Cultura y Deporte

(1) Elegir aquellos códigos SIC que determinen la tecnología generada por la línea de investigación (ver Anexo Códigos SIC y detallar a nivel 2)

(2) Elegir aquellos códigos SIC que determinen el sector/es a los que se destinaría la línea de investigación (ver Anexo Códigos SIC y detallar a nivel 2)

## COLABORACIONES INTERNACIONALES

	<b>Colaboración internacional 1</b>
Tipo:	Internacional. Grupo dirigido por David Padua y M <sup>a</sup> Jesus Garzarán.
Países intervinientes:	Universidad de Illinois at Urbana Champaign, USA
Título:	Modelado del consumo de energía en arquitecturas heterogéneas on-chip

	<b>Colaboración internacional 2</b>
Tipo:	Internacional. Grupo dirigido por Jose Luis Núñez-Yáñez
Países intervinientes:	Universidad de Bristol, UK
Título:	Evaluación de aplicaciones de streaming en arquitecturas heterogéneas basadas en FPGAs

## OTROS IMPACTOS

<b>Impacto 1</b>	
Tipo de impacto:	Participación en Comité de Programa del IEEE SC'15
Título:	Program Committee del IEEE International Conference on Supercomputing, Austin, Texas, USA
Observaciones / comentarios:	

<b>Impacto 2</b>	
Tipo de impacto:	Miembro del Comité de Expertos de la Comisión Europea para el programa H2020-FETHPC-2014
Título:	
Observaciones / comentarios:	La IP participó en la evaluación de proyectos europeos presentados a la convocatoria FETHPC-2014 del H2020 (Enero 2015, Bruselas)

<b>Impacto 3</b>	
Tipo de impacto:	Evaluadora Miembro del Comité de Expertos de la Comisión Europea para el programa FP7
Título:	
Observaciones / comentarios:	La IP participó en la 2º revisión del proyecto europeo FP7-ICT-610476-DEEP-ER (Diciembre 2015, Bruselas)

## Página web del proyecto

<http://www.ac.uma.es/~asenjo/TIC-8144/>