



**CONFIGURACION Y EVALUACION  
DE EQUIPOS INFORMATICOS**  
Departamento de Arquitectura de Computadores  
Relación de ejercicios. Módulo de microprocesadores



Sean los procesadores que se presentan en la tablas 1 y 2, pertenecientes todos ellos a la gama de productos comerciales de octava generación de las empresas Terral y Mediterráneo, respectivamente, y derivados del diseño base para esa generación que se muestra en la primera fila de dichas tablas.

Disponemos, adicionalmente, de información privilegiada que adjuntamos de mayor a menor importancia:

1. Terral ha fabricado todos sus modelos con idéntico comportamiento térmico, esto es, todos ellos disipan igual cantidad de calor.
2. Mediterráneo ha sido acusada de plagio por copiar al menos un modelo de su rival, Terral.

Con toda esta información, se pide responder a las siguientes cuestiones:

1. ¿Cuántos transistores y área de integración estimas para Alisio (casillas (1))?  
 a 50 millones y 50 mm<sup>2</sup>.  
 b 50 millones y 100 mm<sup>2</sup>.  
 c 100 millones y 50 mm<sup>2</sup>.  
 d 100 millones y 100 mm<sup>2</sup>.
2. ¿Qué frecuencia en GHz y número de transistores estimas para Brisa (casillas (2))?  
 a 5 GHz y 200 millones.  
 b 10 GHz y 100 millones.  
 c 10 GHz y 50 millones.  
 d 20 GHz y 50 millones.
3. ¿Qué frecuencia y voltaje estimas para Cierzo (3)?  
 a 5 GHz y 1.5 voltios.  
 b 10 GHz y 0.75 voltios.  
 c 5 GHz y 0.75 voltios.  
 d 2.5 GHz y 1.5 voltios.
4. ¿Qué tensión de alimentación y área de integración estimas para Del sur (4)?  
 a 1.5 voltios y 50 mm<sup>2</sup>.  
 b 1.5 voltios y 25 mm<sup>2</sup>.  
 c 0.75 voltios y 50 mm<sup>2</sup>.  
 d 0.75 voltios y 25 mm<sup>2</sup>.

5. ¿Qué potencia disipada estimas para Atolón (5)?  
 a 5 W.  
 b 10 W.  
 c 20 W.  
 d 40 W.
6. ¿Qué potencia disipada estimas para Bahía (6)?  
 a 5 W.  
 b 10 W.  
 c 20 W.  
 d 40 W.
7. ¿Qué potencia disipada estimas para Coral (7)?  
 a 5 W.  
 b 10 W.  
 c 20 W.  
 d 40 W.
8. ¿Qué potencia disipada estimas para Delfín (8)?  
 a 5 W.  
 b 10 W.  
 c 20 W.  
 d 40 W.
9. De entre los modelos de Terral, ¿Cuál de ellos presenta el mayor área de integración?  
 a Alisio.  
 b Brisa.  
 c Cierzo.  
 d Del sur.
10. De entre los modelos de Terral, ¿Qué pareja podría utilizar el mismo zócalo de conexión en placa base siempre que ésta dispusiera de mecanismos para programar la frecuencia y el voltaje de alimentación?  
 a Alisio y Brisa.  
 b Brisa y Cierzo.  
 c Cierzo y Del sur.  
 d Ninguna.

Modelo de procesador	Frecuencia de reloj	Tecnología de integración	Número de transistores	Tensión aliment.	Patillaje de alimentación	Área de integración
Diseño base	5 GHz	100 nm.	100 millones	1.5 voltios	100 pines	100 mm <sup>2</sup>
Alisio	10 GHz	100 nm.	(1)	1.5 voltios	200 pines	(1)
Brisa	(2)	50 nm.	(2)	0.75 volt.	200 pines	50 mm <sup>2</sup>
Cierzo	(3)	100 nm.	200 millones	(3)	100 pines	200 mm <sup>2</sup>
Del sur	10 GHz	50 nm.	100 millones	(4)	100 pines	(4)

Tabla 1: La gama de productos comerciales de Terral. Todos los modelos presentan idéntico comportamiento térmico.

Modelo de procesador	Frecuencia de reloj	Tecnología de integración	Número de transistores	Tensión de alimentación	Potencia disipada
Diseño base	5 GHz	100 nm.	100 millones	1.5 voltios	10 W.
Atolón	10 GHz	100 nm.	100 millones	1.5 voltios	(5)
Bahía	5 GHz	50 nm.	200 millones	0.75 voltios	(6)
Coral	5 GHz	50 nm.	400 millones	0.75 voltios	(7)
Delfín	2.5 GHz	100 nm.	200 millones	1.5 voltios	(8)

Tabla 2: La gama de productos comerciales de Mediterráneo. Alguno podría ser un plagio de modelos de Terral.

11. De entre los modelos de Mediterráneo, ¿Qué pareja podría utilizar el mismo zócalo de conexión en placa base aunque ésta no dispusiera de mecanismos para programar la frecuencia y el voltaje de alimentación?
- a) Atolón y Bahía.  
 b) Bahía y Coral.  
 c) Coral y Delfín.  
 d) Ninguna.
12. ¿Cuál es el modelo o modelos que Mediterráneo ha plagiado de Terral?
- a) Atolón de Alisio.  
 b) Bahía de Brisa.  
 c) Delfín de Cierzo.  
 d) Los dos anteriores.
13. Natalia es un procesador
- a) Segmentado en cinco etapas.  
 b) Segmentado en cinco etapas y, además, supersegmentado hasta alcanzar las diez.  
 c) Segmentado en diez etapas.  
 d) Segmentado en dos etapas.
14. Natalia es un procesador
- a) Supersegmentado, pero no superescalar.  
 b) Supersegmentado, y por tanto, también superescalar.  
 c) Superescalar, y por tanto, también supersegmentado.  
 d) Supersegmentado, y por tanto, también segmentado.
15. Natalia es un procesador
- a) No superescalar.  
 b) Superescalar de factor dos.  
 c) Superescalar de factor tres.  
 d) Superescalar de factor cinco.
16. La excesiva complejidad en la decodificación de instrucciones apunta a que Natalia es un procesador
- a) Más CISC que RISC.  
 b) Más RISC que CISC.  
 c) Es un híbrido entre CISC y RISC, y como tal, lo clasificamos como VLIW (Very Long Instruction Word).  
 d) La fase de decodificación no es un indicativo del carácter RISC o CISC del procesador.
17. La fase más lenta de Natalia es la decodificación de instrucciones, que completa en un nanosegundo, aunque alcanzando un perfecto equilibrio entre las dos tareas de macro y microdecodificación, que consumen cada una la mitad de ese tiempo. Ayudándonos de su traza de ejecución, podemos establecer la frecuencia de trabajo para Natalia en

Sea el microprocesador Natalia cuya traza de ejecución se adjunta en la figura 1. En base a dicha información, se pide clasificar al procesador en algunos de sus rasgos más relevantes.

<b>1</b>	<b>Búsqueda de instrucción</b>	Cálculo de la dirección para la siguiente instrucción	<b>1</b>
		Lectura del código de operación de la instrucción	<b>2</b>
<b>2</b>	<b>Decodificación de instrucción</b>	Macrodecodificación	<b>3</b>
		Microdecodificación	<b>4</b>
<b>3</b>	<b>Búsqueda de operandos</b>	Generación de la dirección de los operandos fuente	<b>5</b>
		Lectura de los operandos fuente	<b>6</b>
<b>4</b>	<b>Ejecución de la operación</b>	Múltiple entrada de operandos en ALU o unids. MMX	<b>7</b>
		Computación del resultado	<b>8</b>
<b>5</b>	<b>Escritura del resultado</b>	Encaminamiento de datos a la unidad destino del resultado	<b>9</b>
		Escritura del resultado	<b>10</b>

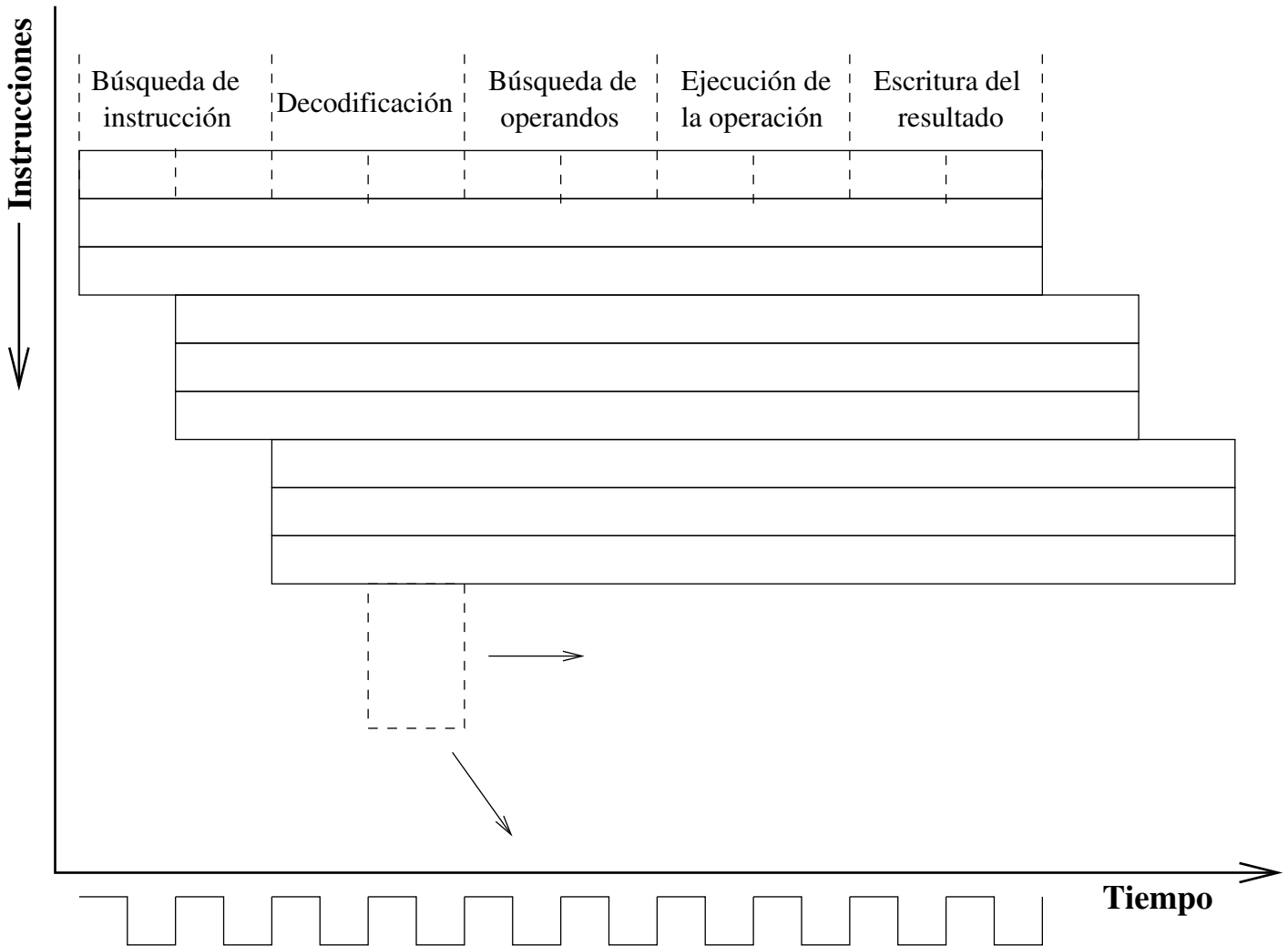


Figura 1: Traza de ejecución del procesador Natalia.

- a 0.5 GHz.
- b 1 GHz.
- c 2 GHz.
- d 4 GHz.
18. ¿En cuál de las cinco fases de ejecución de Natalia podría eventualmente utilizarse la caché de instrucciones de primer nivel (L1)?
- a En la última.
- b En las tres intermedias.
- c En la primera.
- d En la primera, pero sólo en caso de no encontrar dicha información en el banco de registros.
19. ¿En cuál(es) de las cinco fases de ejecución de Natalia no interviene nunca el primer nivel de caché del procesador?
- a En las tres primeras.
- b En las dos últimas.
- c En las fases impares (1, 3 y 5).
- d En las fases pares (2 y 4).
20. Atendiendo exclusivamente a la información dada en la parte superior izquierda de la figura 1, (texto en negrita sobre la instrucción dispuesta en vertical y dividida en cinco fases de ejecución), podríamos confundir el diseño de Natalia con la arquitectura más conocida de la siguiente generación de microprocesadores para PC.
- a Quinta.
- b Sexta.
- c Séptima.
- d Octava.
21. ¿Cuál de las cinco fases de ejecución de Natalia se parece más a la del procesador K7 de AMD?
- a Búsqueda de instrucción.
- b Decodificación de instrucción.
- c Ejecución de instrucción.
- d Escritura del resultado.
22. ¿Cuál de las cinco fases de ejecución de Natalia se parece más a la del procesador Pentium 4 de Intel?
- a Búsqueda de instrucción.
- b Búsqueda de operandos.
- c Ejecución de instrucción.
- d Escritura del resultado.
- 
- Sea la gama de productos de la empresa Catarata que adjuntamos en la Tabla 3, todos ellos pertenecientes a la séptima generación de microprocesadores para el año 2004. En base a dicha información, se pide responder a las siguientes cuestiones:
23. Catarata dispone de procesadores que tienen uno o incluso los dos multiplicadores con valor impar. ¿Resulta esto habitual tomando como referencia los modelos reales existentes en el mercado de 2004?
- a No, en ningún caso.
- b Sí, en el caso del multiplicador para la frecuencia de bus.
- c Sí, en el caso del multiplicador para la frecuencia del procesador.
- d Sí, en los dos casos anteriores.
24. Si suponemos que todos los procesadores concluyen la ejecución de una misma instrucción multiciclo en el mismo tiempo aproximado y segmentamos el diseño en etapas de un solo ciclo. ¿Cuál de ellos tiene un mayor número de etapas segmentadas?
- a Iguazú.
- b Montmorency.
- c Niágara.
- d Victoria.
25. Suponiendo que todos los procesadores tienen la misma segmentación y en el mismo número de etapas, ¿Qué procesador concluye antes la ejecución de un programa compuesto de un millón de instrucciones independientes (no existen dependencias de ningún tipo)?
- a Iguazú.
- b Montmorency.
- c Niágara.
- d Victoria.
26. Sabemos que uno de los procesadores de Catarata dispone de una caché L2 integrada de 2 Mbytes. A tenor de los datos que conocemos de la Tabla 3, ¿Qué procesador apunta como candidato más firme?
- a Iguazú.
- b Montmorency.
- c Niágara.
- d Victoria.
27. ¿Qué dato resulta menos creíble de los que se presentan en la Tabla 3?

Nombre del procesador	Iguazú	Montmorency	Niágara	Victoria
Frecuencia base	133.3 MHz	166.6 MHz	200 MHz	266.6 MHz
Multiplicador y frecuencia de bus	x4 533.3 MHz	x3 500 MHz	x4 800 MHz	x2 533.3 MHz
Multiplicador del procesador y frecuencia resultante	x5 2666.6 MHz	x5 2.5 GHz	x3 2.4 GHz	x4 2133.3 MHz
Distancia de integración	130 nm.	130 nm.	90 nm.	90 nm.
Millones de transistores	60	120	100	200
Factor de superescalaridad	3	4	4	6

Tabla 3: La gama de procesadores disponible para Catarata.

- a** La mayor frecuencia de bus no corresponde con el procesador de mayor frecuencia.
- b** El procesador de mayor frecuencia es también el que tiene mayor distancia de integración en sus transistores.
- c** El procesador con mayor número de transistores es el que trabaja a menor frecuencia.
- d** El procesador de mayor frecuencia es el que tiene el menor factor de superescalaridad.
28. ¿Qué procesador presenta un mayor parecido con un modelo comercial de Intel o AMD en séptima generación?
- a** Iguazú con el Pentium 4 Willamette.
- b** Iguazú con el Pentium 4 Northwood.
- c** Montmorency con el K7 Barton.
- d** Niágara con el K7 Athlon.
29. ¿Qué procesador saca un mayor partido del bus de memoria que le conecta con módulos de RDRAM provenientes de los primeros equipos comerciales existentes bajo esta clase de memoria?
- a** Iguazú.
- b** Montmorency.
- c** Niágara.
- d** Victoria.
30. ¿Qué procesador se sincroniza más fácilmente con una memoria principal DDR etiquetada como PC-2100?
- a** Iguazú.
- b** Montmorency.
- c** Niágara.
- d** Victoria.
31. ¿Qué procesador se sincroniza más fácilmente con una memoria principal que tuviese habilitado un sistema de triple puerto para aumentar el ancho de banda del bus de memoria en su camino hacia el bus local?
- a** Iguazú.
- b** Montmorency.
- c** Niágara.
- d** Victoria.
- Suponiendo amortizada la planta de fabricación de chips y atendiendo exclusivamente a la información presentada en la Tabla 3 (esto es, se pueden tomar iguales para todos los procesadores cualesquiera otros parámetros que pudieran ser necesarios para resolver las cuestiones que se plantean), responder a las siguientes preguntas adicionales:
32. ¿Qué procesador duplica en coste de fabricación (área de integración) a otro de Catarata?
- a** Victoria a Iguazú.
- b** Montmorency a Iguazú.
- c** Victoria a Niágara.
- d** Las respuestas b y c son correctas.
33. ¿Qué procesador dispone de la menor área de integración?
- a** Iguazú.
- b** Montmorency.
- c** Niágara.
- d** Victoria.
34. ¿Qué procesador tiene mayor área de integración?
- a** Montmorency.
- b** Niágara.
- c** Los dos anteriores.
- d** Ninguno de los dos anteriores.
35. ¿Por qué los procesadores que duplican en número de transistores a otros de Catarata no duplican asimismo su factor de superescalaridad?
- a** Porque todos los transistores no ocupan el mismo área de integración en silicio.

- b** Porque una superescalaridad de factor 2 no significa duplicar funcionalmente todas las etapas de segmentación del procesador.
- c** Porque para duplicar el rendimiento de algunas unidades funcionales del cauce segmentado del procesador no es necesario duplicar el número de transistores.
- d** Las tres respuestas anteriores son correctas.
36. ¿Qué razón justifica que los procesadores que duplican en factor de superescalaridad a otros de Catara no dupliquen también su número de transistores?
- a** El hecho de que todos los transistores no ocupen el mismo área de integración en silicio.
- b** El hecho de que los transistores se fabriquen a una distancia de integración diferente en cada caso.
- c** El diagrama de bloques de la arquitectura de cada procesador es distinto, por lo que las unidades funcionales que lo constituyen son diferentes, y el número de transistores que requiere la implementación de cada una de ellas también.
- d** Las tres respuestas anteriores son correctas.
- 
37. ¿Qué tiene lugar en un ciclo de reloj de un procesador segmentado y superescalar?
- a** Una etapa de una sola instrucción.
- b** Una etapa de al menos una instrucción.
- c** Varias etapas de al menos una instrucción.
- d** Varias etapas de múltiples instrucciones.
38. Un amigo nos comenta que acaba de ver un chip tridimensional (pongamos cúbico) fabricado con silicio y distancia de integración de 90 nm. ¿Qué argumento utilizarías para refutarle?
- a** El chip acumularía tanto calor en su núcleo que haría inviable su realización hardware.
- b** Sus transistores no son apilables, y por tanto, sólo pueden disponerse en un espacio 2D.
- c** Los transistores admiten una disposición 3D, pero sus interconexiones metálicas, no.
- d** El problema no es de los transistores ni de sus interconexiones, sino del patillaje externo.
39. El número de capas de metalización que interconectan a los transistores de un chip actual oscila entre 7 y 10. ¿Influye este valor de alguna forma en el calentamiento del chip para un mismo diseño arquitectural?
- a** Sí, el chip con 10 capas se calienta más.
- b** Sí, el chip con 10 capas se calienta menos.
- c** Sí, pero sólo a través de la frecuencia. Aumentando la frecuencia, una fabricación con 10 capas amplifica más la generación de calor que una fabricación con 7 capas.
- d** No.
40. La supersegmentación es un concepto ligado a
- a** La segmentación.
- b** La superescalaridad.
- c** La ejecución fuera de orden.
- d** La BTB.
41. ¿Qué estrategia para el diseño de memoria caché se repite sistemáticamente en todos los modelos de microprocesadores para PC?
- a** Unificada (conjuntamente para datos e instrucciones) en su primer nivel L1; separadas (una para datos y otra para instrucciones) en su segundo nivel L2.
- b** Separadas en L1; unificada en L2.
- c** Separadas tanto en L1 como en L2.
- d** Unificadas en todos los casos.
42. La memoria caché L2 integrada tiene un rasgo muy peculiar en su orografía dentro del área de integración del procesador. ¿Cuál?
- a** Más de diez niveles de metalización encima de sus transistores, cuyas puertas son además más pequeñas que en el resto del chip.
- b** Los mismos niveles de metal, pero más poblados que en el resto del chip.
- c** Los transistores ocupan menos espacio en silicio que en el resto del chip.
- d** Las dos respuestas anteriores son correctas.
43. El procesador Duron de AMD dispone de 64 Kbytes de L1D, 64 Kbytes de L1I y 64 Kbytes de L2. Por lo tanto,
- a** El número de transistores que contiene cada una es similar, y en los tres casos se ocupa también un área de integración similar.
- b** La opción a es correcta, pero sobre ella añadiríamos que los transistores de las dos L1 son más rápidos que los de la L2.
- c** La opción a es correcta, pero sobre ella añadiríamos que las unidades funcionales L1 son más veloces en su conjunto que las de la L2.
- d** La afirmación del enunciado es falsa.
44. ¿Qué relación existe desde MMX y 3DNow! a OpenGL y DirectX?

- a** Los dos primeros son extensiones multimedia; los dos últimos son las API que permiten su ejecución de manera más eficiente sobre el hardware disponible.
- b** Los dos primeros son ampliaciones SIMD del conjunto de instrucciones del procesador; los dos últimos son las API que posibilitan una ejecución más cómoda a la capa software aprovechando los recursos hardware disponibles.
- c** Los dos primeros se encuentran más relacionados con el hardware del procesador; los dos últimos, con el hardware de la tarjeta gráfica.
- d** Las tres respuestas anteriores son correctas.
45. ¿Qué fase de una instrucción muestra una diferencia más acusada en tiempo de ejecución si comparamos `mul` (producto de números enteros), `pmul` (producto paralelo del conjunto MMX) y `fmul` (producto de números de punto flotante)? Puedes tomar como referencia cualquier modelo de la quinta o sexta generación de procesadores.
- a** La búsqueda de instrucción.
- b** La decodificación.
- c** La lectura de operandos.
- d** El cálculo de la operación aritmética.
46. El procesador Pentium 13 del año 2013 continúa aceptando código compatible x86, pero el número total de instrucciones multimedia incorporadas respecto al Pentium es ya de 13000. Hay que decidir el tamaño de las cachés L1 del Pentium 13. Sabiendo que disponemos de 1000 millones de transistores para ello. ¿Qué decisión tomarías?
- a** Mantendría dos cachés gemelas, de 10 Mbytes cada una.
- b** Dedicaría 15 Mbytes a la L1D y 5 Mbytes a la L1I.
- c** Dedicaría 5 Mbytes a la L1D y 15 Mbytes a la L1I.
- d** Con el número de transistores ofertado es imposible alcanzar 20 Mbytes de caché L1.
47. ¿Por qué niveles y en qué orden pasa la ejecución de una llamada a `DirectDraw()` desde un programa de usuario?
- a** HAL, HEL, driver, hardware.
- b** HEL, HAL, driver, hardware.
- c** API, HAL, driver, hardware.
- d** API, driver, HAL, hardware.
48. Consideremos la terna de procesadores Pentium Pro, Pentium II y Pentium III, cada uno en el modelo más avanzado que vió la luz en el mercado (0.35, 0.25 y 0.18 micras, respectivamente). Podemos asegurar con respecto a su memoria caché de segundo nivel que
- a** Todos ellos presentan una caché interna, que en algunos casos es más interna que en otros.
- b** Todos ellos presentan una caché integrada, que en algunos casos es más veloz que en otros.
- c** Todos ellos presentan una caché de al menos 512 Kbytes, que en algunos casos es cualitativamente mejor que en otros.
- d** Todos ellos presentan una caché con diferente grado de cercanía al procesador, que además no necesariamente aumenta a medida que nos fijamos en los modelos más recientes.
49. La séptima generación de AMD comienza en los 500 MHz y la de Intel lo hace por encima de 1 GHz debido a que
- a** Los primeros modelos de AMD son de 0.25 micras, mientras que los de Intel son ya de 0.18 micras.
- b** Los primeros modelos de AMD salen al mercado año y medio antes que los de Intel.
- c** La frecuencia efectiva del primer bus de AMD es de 200 MHz, mientras que la de Intel es de 400 MHz.
- d** Las tres razones anteriores podrían explicarlo, y se listan de mayor a menor peso.
50. De todos es conocido que las mejoras en la distancia de integración a la hora de fabricar un procesador suele aprovecharse para introducir mejoras en sus niveles de caché. Si en el contexto de la séptima generación tomamos la secuencia 0.25, 0.18 y 0.13 micras, la caché responde
- a** Mejorando el nivel L1 en su asociatividad.
- b** Mejorando el nivel L2 en su cercanía al procesador.
- c** Mejorando el nivel L2 en su tamaño.
- d** La opción b es correcta para la transición de 0.25 a 0.18 micras, mientras que la opción c lo es para la transición de 0.18 a 0.13 micras.
51. La caché de traza (CT) y el `hyperthreading` (HT) son las dos grandes novedades del Pentium 4 de Intel para la séptima generación. ¿Dónde se encuentra implementada cada una de ellas?
- a** CT en el front-end; HT en el back-end.
- b** CT en el back-end; HT en el front-end.
- c** Ambas en el front-end.
- d** Ambas en el back-end.

